

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-029405

(43)Date of publication of application : 07.02.1991

(51)Int.Cl.

H03G 3/00

(21)Application number : 01-163255

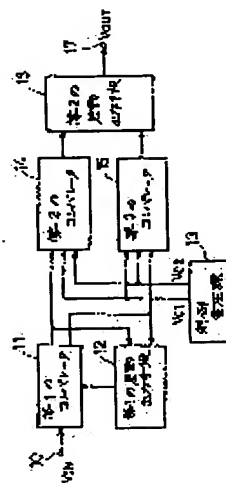
(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 26.06.1989

(72)Inventor : NIRATSUKA KIMITOSHI
KIKUCHI KAZUHIKO**(54) VARIABLE GAIN CIRCUIT****(57)Abstract:**

PURPOSE: To increase an input dynamic range to some degree without a limit due to a differential pair of transistors(TRs) without large sized scale of the circuit by varying 1st and 2nd control voltages so as to vary the gain.

CONSTITUTION: A 3rd current generated from a 2nd comparator 14 and a 4th current generated from a 3rd comparator 15 are all varied with a difference voltage ($V_{c2}-V_{c1}$) between 1st and 2nd control voltages. Then the 3rd and 4th signals are given to a 2nd differential output means 16, from which a 2nd voltage in response to the difference is generated. Thus, the 2nd voltage, that is, the output voltage is made variable by varying the control voltages V_{c1} , V_{c2} . Thus, the gain is linearly varied without large scale of the circuit and the input dynamic range is increased to some degree without a limit due to the differential pair.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-29405

⑬ Int.Cl.⁵

H 03 G 3/00

識別記号

Z

庁内整理番号

8221-5 J

⑭ 公開 平成3年(1991)2月7日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 利得可変回路

⑯ 特 願 平1-163255

⑰ 出 願 平1(1989)6月26日

⑱ 発 明 者 荏 塚 公 利 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑱ 発 明 者 菊 地 和 彦 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地
⑲ 出 願 人 富 士 通 ヴ ィ エ ル エ ス ア イ 株 式 会 社 愛知県春日井市高蔵寺町2丁目1844番2
⑳ 代 理 人 弁 理 士 伊 東 忠 彦 外2名

明 細 書

1. 発明の名称
利得可変回路

2. 特許請求の範囲

入力電圧と第1の電圧とを比較し、各々のレベルに応じたレベルの第1、第2の信号を別々に出
力する第1のコンパレータ(11)と、

該第1のコンパレータ(11)から取り出され
た該第1及び第2の信号が夫々供給され、それら
のレベル差に応じた電圧を生成して前記第1の電
圧として該第1のコンパレータ(11)へ供給す
ることにより、該第1のコンパレータ(11)と
共に負帰還増幅器を構成する第1の差動出力手段
(12)と、

第1の制御電圧と第2の制御電圧とを夫々任意
のレベルで出力する制御電圧源(13)と、

該第1及び第2の制御電圧と前記第1の信号と
が供給され、該第1及び第2の制御電圧の差電圧

と該第1の信号との積に応じたレベルの第3の信
号を生成する第2のコンパレータ(14)と、

該第1及び第2の制御電圧と前記第2の信号と
が供給され、該第1及び第2の制御電圧の差電圧
と該第2の信号との積に応じたレベルの第4の信
号を生成する第3のコンパレータ(15)と、

該第2及び第3のコンパレータ(14、15)
から夫々取り出された該第3及び第4の信号が夫
々供給され、それらの差に応じた第2の電流を生
成し、出力電圧として出力端子(17)へ出力す
る第2の差動出力手段(16)とよりなり、

。前記第1及び第2の制御電圧を可変すること
により利得を可変するよう構成したことを特徴とす
る利得可変回路。

3. 発明の詳細な説明

(概要)

利得を直線的に、かつ、電気的に可変できる利
得可変回路に関し、

回路を大規模にすることなく線形に利得が可変し、かつ、入力ダイナミックレンジをトランジスタの差動対による制限なく、ある程度大きく得ることを目的とし、

入力電圧と第1の電圧とを比較し、各々のレベルに応じたレベルの第1、第2の信号を別々に出力する第1のコンパレータと、該第1のコンパレータから取り出された該第1及び第2の信号が夫々供給され、それらのレベル差に応じた電圧を生成して前記第1の電圧として該第1のコンパレータへ供給することにより、該第1のコンパレータと共に負帰還増幅器を構成する第1の差動出力手段と、第1の制御電圧と第2の制御電圧とを夫々任意のレベルで出力する制御電圧源と、該第1及び第2の制御電圧と前記第1の信号とが供給され、該第1及び第2の制御電圧の差電圧と該第1の信号との積に応じたレベルの第3の信号を生成する第2のコンパレータと、該第1及び第2の制御電圧と前記第2の信号とが供給され、該第1及び第2の制御電圧の差電圧と該第2の信号との積に応

じたレベルの第4の信号を生成する第3のコンパレータと、該第2及び第3のコンパレータから夫々取り出された該第3及び第4の信号が夫々供給され、それらの差に応じた第2の電圧を生成し、出力電圧として出力端子へ出力する第2の差動出力手段とよりなり、前記第1及び第2の制御電圧を可変することにより利得を可変するよう構成する。

(産業上の利用分野)

本発明は利得可変回路に係り、特に利得を直線的に、かつ、電気的に可変できる利得可変回路に関する。

現在、様々な分野で利得可変回路が広範囲に用いられており、同様に様々な利得制御の方法が提案されている。しかし、近年のエレクトロニクスの発達により、この利得制御も電気的に行なえることが必要とされる。

(従来の技術)

第5図は従来の利得可変回路の一例の回路図を示す。同図中、41は入力端子、42は差動増幅器、43は抵抗、44は可変抵抗器、45は出力端子で、差動増幅器42の出力端と出力端子45の接続点が抵抗43及び可変抵抗器44を直列に介して接地されている。また、抵抗43と可変抵抗器44との接続点は差動増幅器42の反転入力端子に接続されている。

この従来の利得可変回路によれば、入力電圧 V_{IN} 、出力電圧を V_{OUT} とし、また抵抗43、可変抵抗器44の各抵抗値を夫々 R_a 、 R_b とすると、入力電圧 V_{IN} と出力電圧 V_{OUT} の関係は、

$$V_{OUT} = \frac{R_a + R_b}{R_a} \cdot V_{IN} \quad (1)$$

従って、(1)式からわかるように可変抵抗器44により抵抗値 R_b を可変することにより、利得を可変することができる。

勿論、抵抗43を可変抵抗器として、 R_a を可変しても、同様に利得を可変することができる。

また、第5図に示した従来の利得可変回路の変形例として第6図に示す如き回路構成のものも知られている。同図中、入力端子51は抵抗52を介して差動増幅器53の反転入力端子に接続されている。また、差動増幅器53の出力端は抵抗54を介して反転入力端子に帰還接続される一方、出力端子55に接続されている。

この従来の利得可変回路によれば、入力電圧 V_{IN} を反転増幅して端子55へ出力電圧 V_{OUT} を取り出す。ここで、抵抗52、54の各抵抗を R_c 、 R_d とすると V_{OUT} は次式で表わされる。

$$V_{OUT} = - \frac{R_d}{R_c} \cdot V_{IN} \quad (2)$$

従って、(2)式からわかるように、抵抗値 R_c 、 R_d のいずれか一方を可変することにより、利得を可変できる。

また、従来、第7図に示す如き利得可変回路も

知られている。同図中、入力端子61は差動増幅器62の非反転入力端子に接続されている。また、差動増幅器62の出力端は抵抗63と抵抗64を直列に介して接地される一方、出力端子67に接続されている。

抵抗64はn個のタップ端子を有し、アナログスイッチ65₁～65_nにより開り合う2つのタップ端子間を接続又は開放する構成とされている。66はスイッチング制御回路でアナログスイッチ65₁～65_nを互いに独立してスイッチング制御する。

かかる構成の従来の利得可変回路によれば、出力電圧 V_{OUT} は抵抗63の抵抗値を R_e 、アナログスイッチ65₁～65_nを選択して得られる抵抗64の抵抗値を R_f とすると、

$$V_{OUT} = \frac{R_e + R_f}{R_f} \cdot V_{IN} \quad (3)$$

と表わされる。従って、上式からわかるように、アナログスイッチ65₁～65_nを適宜選択して

入力電圧 V_{IN} がトランジスタ T_{r2} のベース入力電圧であるゼロボルトに等しいときは、トランジスタ T_{r1} と T_{r2} の各コレクタ電流は夫々 $I/2$ で等しい。また、入力電圧 V_{IN} が正方向に増加していくと、トランジスタ T_{r1} のコレクタ電流が増加し、かつ、トランジスタ T_{r2} のコレクタ電流が減少する。

逆に入力電圧 V_{IN} を負方向に増加していくと、トランジスタ T_{r1} のコレクタ電流が減少し、トランジスタ T_{r2} のコレクタ電流が増加する。

これにより、トランジスタ T_{r1} のコレクタより取り出される出力電圧 V_{OUT1} と、トランジスタ T_{r2} のコレクタより取り出される出力電圧 V_{OUT2} は夫々次式で表わされる。

$$V_{OUT1} = V_{CC} - R \cdot \frac{I}{2} - \frac{I}{2V_T} \cdot R \cdot \frac{V_{IN}}{2} \quad (4a)$$

オンとして抵抗値 R_f を変換することにより、利得を変換することができる。

更に、従来、第8図に示す如き利得可変回路も知られている。同図中、71は入力端子、72はコンパレータ、73は電流源、74及び75は互いに逆相の出力端子である。

この第8図に示す利得可変回路の具体的回路構成の一例を第9図に示す。同図中、第8図と同一構成部分には同一符号を付してある。第9図において、互いにエミッタが電流源73に共通に接続されているNPNトランジスタ T_{r1} 、 T_{r2} の各コレクタは、抵抗値 R_g 、 R_h の負荷抵抗に別々に接続されている。

この従来の利得可変回路において、入力端子71を介してトランジスタ T_{r1} のベースに入力される入力電圧を V_{IN} 、出力端子74、75より出力される出力電圧を V_{OUT1} 、 V_{OUT2} とし、更に電流源電圧を V_{CC} 、電流源73の電流を I 、また $R_g = R_h = R$ とする。

$$V_{OUT2} = V_{CC} - R \cdot \frac{I}{2} + \frac{I}{2V_T} \cdot R \cdot \frac{V_{IN}}{2} \quad (4b)$$

ただし、(4a)、(4b)式中、 V_T はサーマルボルテージで、ボルツマン定数を k 、絶対温度を T 、電子の電荷量を q としたとき、 kT/q で表わされる。なお、(4a)、(4b)式はトランジスタ T_{r1} 、 T_{r2} が能動領域で動作する $-2V_T < V_{IN} < 2V_T$ の範囲内における近似式である。

従って、上記の出力電圧 V_{OUT1} 及び V_{OUT2} と入力電圧 V_{IN} との関係は第10図に示す如くなる。同図からわかるように入力電圧 V_{IN} が $2V_T$ 以上のとき、又は $-2V_T$ 以下となると、出力電圧 V_{OUT1} 、 V_{OUT2} が飽和する。

かかる特性をもつ第8図、第9図に示す従来の利得可変回路によれば、(4a)、(4b)式からわかるように、電流源73の電流 I を変換することにより、入力電圧 V_{IN} が同一値でも出力電圧 V_{OUT1}

(V_{OUT2})の値を変えることができる(すなわち、利得を可変することができる)。

(発明が解決しようとする課題)

しかるに、第5図及び第6図に示した従来の利得可変回路は、抵抗43と44のいずれか、又は抵抗52と54のいずれかの抵抗値を機械的に変化させるものであり、電気的に変化させるものではなかった。

また、第7図に示した従来の利得可変回路は、利得を電気的に可変することはできるが、抵抗値 R_f がアナログスイッチ65₁～65₂の切換えにより段階的な変化をするために利得の変化も段階的となり、連続的な変化ができず、また回路規模が大であるという問題もあった。

更に、第8図、第9図に示した従来の利得可変回路は、電流源73をその電流値1が直線的に、かつ、電気的に変化するような構成とすることにより、利得も直線的に、かつ、電気的に可変することができるが、入力のダイナミックレンジが第

10図に示したように差動対を構成するトランジスタ T_{r1} 、 T_{r2} の特性に起因するサーマルボルテージ V_T の±2倍以上で飽和してしまうという問題があった。

本発明は以上の点に鑑みてなされたもので、回路を大規模にすることなく、線形に利得が可変し、かつ、入力ダイナミックレンジを差動対による制限なく、ある程度大きくとれる利得可変回路を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の原理構成図を示す。同図中、11は第1のコンパレータ、12は第1の差動出力手段で、第1のコンパレータ11は入力端子10よりの入力電圧 V_{IN} と第1の差動出力手段12の出力第1の電圧とを比較し、各々のレベルに応じたレベルの第1、第2の信号を別々に出力する。第1の差動出力手段12はこれら第1及び第2の信号のレベル差に応じた電圧を生成し、また第1のコンパレータ11と共に負帰還増幅器を

構成する。

13は制御電圧源で、第1の制御電圧 V_{c1} と第2の制御電圧 V_{c2} とを夫々生成する。14は第2のコンパレータ、15は第3のコンパレータでこれらは共に第1及び第2の制御電圧が供給され、第2のコンパレータ14は更に前記第1の信号が入力され、第3のコンパレータ15は更に前記第2の信号が入力される。これにより、第2のコンパレータ14は第1及び第2の制御電圧の差電圧と第1の信号との積に応じた第3の信号を生成する。また、第3のコンパレータ15は同様に、上記差電圧と上記第2の信号との積に応じた第4の信号を生成する。

16は第2の差動出力手段で、上記の第3及び第4の信号の差の値に応じたレベルの第2の電圧を生成し、これを出力端子17へ出力電圧 V_{OUT} として出力する。

(作用)

第2のコンパレータ14により生成される第3

の電流と、第3のコンパレータ15により生成される第4の電流は、いずれも第1の制御電圧と第2の制御電圧との差電圧($V_{c2}-V_{c1}$)に応じて変化する。

そして、これら第3及び第4の信号は第2の差動出力手段16によりそれらの差に応じた第2の電圧が生成される。従って、この第2の電圧、すなわち出力電圧は制御電圧 V_{c1} と V_{c2} を可変することにより可変することができる。

(実施例)

第2図は本発明の第1実施例の回路図を示す。同図中、第1図と同一構成部分には同一符号を付してある。第2図において、NPNトランジスタ Q_1 及び Q_2 の各エミッタは電流源21に共通接続され、また Q_1 のコレクタはPNPトランジスタ Q_3 のコレクタ及びベースに夫々接続され、 Q_2 のコレクタはPNPトランジスタ Q_4 のコレクタ及びベースに夫々接続されている。

PNPトランジスタ Q_3 、 Q_4 は各々のコレク

タがNPNトランジスタ Q_7 、 Q_8 のコレクタに接続されており、トランジスタ Q_6 のコレクタは更にトランジスタ Q_7 のベースに接続される一方、抵抗 R_1 に接続されている。トランジスタ Q_6 のベースはトランジスタ Q_7 及び後述のPNPトランジスタ Q_9 の各ベースに夫々接続されており、これらはカレントミラー回路を構成している。同様に、トランジスタ Q_5 のベースはトランジスタ Q_4 のベースと後述のPNPトランジスタ Q_{10} のベースに夫々接続され、トランジスタ Q_5 、 Q_4 、 Q_{10} はカレントミラー回路を構成している。また、トランジスタ Q_7 及び Q_8 もベースが共通接続されてカレントミラー回路を構成している。

また、22、23はバイアス電圧源で、夫々直流電圧 V_{R1} を入力電圧 V_{IN} とトランジスタ Q_2 のベース電圧とに重畳している。前記トランジスタ Q_9 のコレクタPNPトランジスタ Q_{10} 及び Q_{11} の各エミッタに夫々接続され、前記トランジスタ Q_{10} のコレクタはPNPトランジスタ Q_{11} 及び Q_{12} の各エミッタに夫々接続されている。

を V_{R2} に設定するためのものである。

かかる構成の利得可変回路において、入力端子10を介してトランジスタ Q_1 のベースに印加される入力電圧 V_{IN} が ΔV_{IN} だけ変化したものとする。この場合は、トランジスタ Q_1 のコレクタ電流 I_{c1} が ΔV_{IN} に対応して増加し、かつ、コレクタ電流 I_{c1} の増加分だけトランジスタ Q_2 のコレクタ電流 I_{c2} が減少しようとする。コレクタ電流 I_{c1} はトランジスタ Q_3 のコレクタ電流 I_{c3} と等しく、またトランジスタ Q_3 はトランジスタ Q_4 とカレントミラー回路を構成しているので、トランジスタ Q_4 のコレクタ電流 I_{c4} は I_{c1} と略等しいと見做される。

他方、コレクタ電流 I_{c2} はトランジスタ Q_5 のコレクタ電流 I_{c5} と等しく、またトランジスタ Q_5 はトランジスタ Q_6 とカレントミラー回路を構成しているので、トランジスタ Q_6 のコレクタ電流 I_{c6} は I_{c2} と略等しくなる。

トランジスタ Q_7 のコレクタ電流 I_{c7} はトランジスタ Q_8 のコレクタに供給され、トランジスタ

トランジスタ Q_9 、 Q_{10} の各コレクタはNPNトランジスタ Q_{11} 、 Q_{12} のコレクタとベースに夫々接続され、 Q_{11} 、 Q_{12} のベースは第1の制御端子CNT1を介して第1の制御電圧 V_{c1} が印加される構成とされている。トランジスタ Q_{11} 、 Q_{12} と差動対を構成する他方のトランジスタ Q_{13} 、 Q_{14} のベースは第2の制御端子CNT2を介して第2の制御電圧 V_{c2} が印加される構成とされている。

トランジスタ Q_{11} 、 Q_{12} の各ベースはNPNトランジスタ Q_{13} 、 Q_{14} の各ベースに接続されており、 Q_{11} と Q_{13} はカレントミラー回路を構成し、 Q_{12} と Q_{14} もカレントミラー回路を構成している。

トランジスタ Q_{13} 、 Q_{14} のコレクタ側にPNPトランジスタ Q_{15} 、 Q_{16} よりなるカレントミラー回路が接続されている。更にトランジスタ Q_{15} と Q_{16} の各コレクタ共通接続点は出力端子17に接続される一方、抵抗 R_2 を介して電圧源24に接続されている。電圧源24は出力電圧の直流電位

Q_7 のコレクタ電流 I_{c7} となるが、このトランジスタ Q_7 のコレクタ電流 I_{c7} ($=I_{c5}$)と略同じ値の電流が Q_7 とカレントミラー回路を構成するトランジスタ Q_8 に流れる。

従って、トランジスタ Q_2 のベース電流を無視すると、抵抗 R_1 に

$$I_{OUT1} = I_{c6} - I_{c5} \approx I_{c1} - I_{c2} \quad (5)$$

で表わされる電流 I_{OUT1} が流れる。このようにして、トランジスタ $Q_1 \sim Q_8$ 等よりなる回路が負帰還増幅器の動作を行ない、トランジスタ Q_3 のベースと抵抗 R_1 の接続点④の電位は $I_{OUT1} \cdot R_1$ だけ上昇し、これはトランジスタ Q_1 のベースに印加される入力電圧の変化分 ΔV_{IN} と等しくなる。すなわち、トランジスタ Q_1 、 Q_2 は両者のベース電位が等しくなるように動作し、

$$I_{OUT1} = \Delta V_{IN} / R_1 \quad (6)$$

なる関係が得られる。

一方、トランジスタ Q_9 、 Q_{10} 及び Q_{11} はカレントミラー回路を構成しており、またトランジスタ Q_{11} 、 Q_{12} 及び Q_{13} もカレントミラー回路を構

成しているので、トランジスタ Q_9 、 Q_{10} の各コレクタ電流 I_{c9} 、 I_{c13} は

$$I_{c9} \approx I_{c5} \quad , \quad I_{c13} \approx I_{c6} \quad (7)$$

なる関係にある。

トランジスタ Q_9 はトランジスタ Q_{10} 及び Q_{11} の差動対トランジスタの電流源を構成しているから、そのコレクタ電流 I_{c9} はトランジスタ Q_{10} 、 Q_{11} 、 Q_{12} よりなるコンパレータの相互コンダクタンスを決定する。これにより、第9図と同様の原理で、トランジスタ Q_{10} のコレクタ負荷であるトランジスタ Q_{12} に流れる電流 I_{c12} は、 V_T をサーマルボルテージとすると次式で表わされる。

$$I_{c12} = \frac{I_{c9}}{2V_T} \times \frac{(V_{c2} - V_{c1})}{2} + \frac{I_{c9}}{2} \quad (8)$$

すなわち、トランジスタ Q_{10} 、 Q_{11} の各ベースに印加される制御電圧 V_{c2} 、 V_{c1} が等しいときには、トランジスタ Q_{10} 、 Q_{11} には夫々 $I_{c9}/2$ で表わされる等しい電流が流れるが、制御電圧の差電圧

$(V_{c2} - V_{c1})$ が大になるに従って、トランジスタ Q_{10} のコレクタ電流 I_{c12} ($= I_{c11}$)が増加する。

同様に、トランジスタ Q_{10} のコレクタ負荷であるトランジスタ Q_{16} に流れる電流 I_{c16} は次式で表わされる。

$$I_{c16} = \frac{I_{c13}}{2V_T} \times \frac{(V_{c2} - V_{c1})}{2} + \frac{I_{c13}}{2} \quad (9)$$

上記のトランジスタ Q_{12} 、 Q_{16} は夫々トランジスタ Q_{18} 、 Q_{17} と夫々カレントミラー回路を構成しているから、

$$I_{c12} \approx I_{c18} \quad , \quad I_{c16} \approx I_{c17} \quad (10)$$

の関係にある。また、トランジスタ Q_{17} のコレクタ電流と等しい電流がトランジスタ Q_{19} に流れ、そのトランジスタ Q_{19} はトランジスタ Q_{20} とカレントミラー回路を構成しているから、

$$I_{c17} = I_{c19} \approx I_{c20} \quad (11)$$

なる関係の電流 I_{c20} がトランジスタ Q_{20} に流れる。

従って、抵抗 R_2 に流れる電流を I_{OUT2} 、トランジスタ Q_{18} に流れる電流を I_{c18} とすると、⑩式～(11)式より I_{OUT2} は次式で示す如くなる。

$$\begin{aligned} I_{OUT2} &= I_{c20} - I_{c18} \\ &\approx I_{c16} - I_{c12} \\ &= \frac{I_{c13}}{4V_T} \cdot (V_{c2} - V_{c1}) + \frac{I_{c13}}{2} \\ &\quad - \left(\frac{I_{c9}}{4V_T} \cdot (V_{c2} - V_{c1}) + \frac{I_{c9}}{2} \right) \\ &= \left(\frac{(V_{c2} - V_{c1})}{4V_T} + \frac{1}{2} \right) \cdot (I_{c13} - I_{c9}) \\ &\approx \left(\frac{(V_{c2} - V_{c1})}{4V_T} + \frac{1}{2} \right) \cdot (I_{c6} - I_{c5}) \\ &= \left(\frac{(V_{c2} - V_{c1})}{4V_T} + \frac{1}{2} \right) \cdot I_{OUT1} \\ &= \left(\frac{(V_{c2} - V_{c1})}{4V_T} + \frac{1}{2} \right) \cdot \frac{\Delta V_{IN}}{R_1} \quad (12) \end{aligned}$$

これにより、出力端子17に現われる出力電圧の変化分 ΔV_{OUT} は次式で表わされる。

$$\begin{aligned}\Delta V_{OUT} &= I_{OUT2} \cdot R_2 \\ &= \left(\frac{(V_{C2} - V_{C1})}{4V_T} + \frac{1}{2} \right) \cdot \frac{R_2}{R_1} \cdot \Delta V_{IN}\end{aligned}\quad (13)$$

従って、本実施例回路の交流的な利得Gは(13)式を用いて次式

$$\begin{aligned}G &= \frac{\Delta V_{OUT}}{\Delta V_{IN}} \\ &= \left(\frac{(V_{C2} - V_{C1})}{4V_T} + \frac{1}{2} \right) \cdot \frac{R_2}{R_1}\end{aligned}\quad (14)$$

で表わされる。

(14)式はトランジスタ Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{14} が能動領域で動作する $-2V_T < V_{C2} - V_{C1} <$

る。また、回路規模は、第7図に示した従来回路に比し、小型に構成できる。

次に本発明の第2実施例につき説明するに、第4図は本発明の第2実施例の回路図を示す。同図中、第2図と同一構成部分には同一符号を付し、その説明を省略する。

本実施例は第1実施例のトランジスタ Q_{11} ～ Q_{14} を、PNP型の場合はNPN型に、またNPN型の場合はPNP型に置換した回路構成であり、基本的には第1実施例と同じ動作原理によるものである。第4図中、第2図と同じ機能のトランジスタであって、第2図と導電型が異なるだけのトランジスタについては、第2図と同じ符号にダッシュを付し、その説明を省略する。

第4図において、 Q_{21} 、 Q_{22} は夫々NPNトランジスタで、トランジスタ Q_{21} のエミッタはPNPトランジスタ Q_{11} 'のベースと電流源31に夫々接続され、トランジスタ Q_{22} のエミッタはPNPトランジスタ Q_{12} 'のベースと電流源32に夫々接続されている。

$2V_T$ の範囲内での近似式であり、制御電圧の差電圧($V_{C2} - V_{C1}$)を横軸に、利得 $\Delta V_{OUT} / \Delta V_{IN}$ を縦軸にとった特性図は第3図に示す如くなる。

第3図からわかるように、差電圧($V_{C2} - V_{C1}$)に応じて利得をリニアに変化させることができる。また制御電圧 V_{C1} 、 V_{C2} は電気的に変換することが可能である。また、前記第8図に示した従来回路では入力電圧 V_{IN} が $\pm 2V_T$ を超えると出力が飽和してしまい、入力ダイナミックレンジが制限されていたが、本実施例ではこのような入力ダイナミックレンジがトランジスタの差動対により制限されることはない。

また、入力電圧の変化分に応じた出力電流 I_{OUT2} を負荷抵抗 R_2 に流して出力電圧を得る構成であり、入力と出力の直流レベルを同一にする必要がないので、例えば直流電圧源24によりレベルシフトも同時に行なうことができる。

更に、本実施例によれば、非常に低電圧での動作も可能であるため低消費電力を図ることができる。

また、トランジスタ Q_{21} のベースは入力端子10に接続され、トランジスタ Q_{22} のベースは抵抗 R_1 とトランジスタ Q_{11} '及び Q_{12} 'の両コレクタの共通接続点に接続されている。また、3.3は前記電流源21に相当する電流源である。

本実施例では入力電圧 V_{IN} はエミッタフォロウを構成しているトランジスタ Q_{21} のベース、エミッタを介してトランジスタ Q_{11} 'のベースに入力される。また、抵抗 R_1 に生じた電圧は同じくエミッタフォロウのトランジスタ Q_{22} のベース、エミッタを介してトランジスタ Q_{12} 'のベースに印加される。

本実施例によれば、バイアス電圧源22、23は、制御電圧 V_{C1} 、 V_{C2} が印加されるトランジスタ Q_{11} '、 Q_{12} '、 Q_{13} '、 Q_{14} 'と同じNPN型トランジスタ Q_{21} 、 Q_{22} であるから、制御電圧源13からバイアス電圧源22、23のためのバイアス電圧を得ることができる。本実施例も第1実施例と同様の長短を有する。

〔発明の効果〕

上述の如く、本発明によれば、回路を大規模にすることなく、制御電圧を可変することにより、線形に利得を可変することができ、また制御電圧は電氣的に可変することができるから、電氣的に利得を可変することができ、更にトランジスタの差動対による入力ダイナミックレンジの制限がなく、ある程度大にでき、以上のことから利得可変回路の性能向上に寄与するところ大である等の特長を有するものである。

4. 図面の簡単な説明

第1図は本発明の原理構成図、

第2図は本発明の第1実施例の回路図、

第3図は第2図の特性図、

第4図は本発明の第2実施例の回路図、

第5図は従来の一例の回路図、

第6図は第5図の変形例の回路図、

第7図及び第8図は夫々従来他の各例の回路図、

第9図は第8図の具体的回路図、

第10図は第9図の入力電圧対出力電圧特性図である。

図において、

11は第1のコンパレータ、

12は第1の差動出力手段、

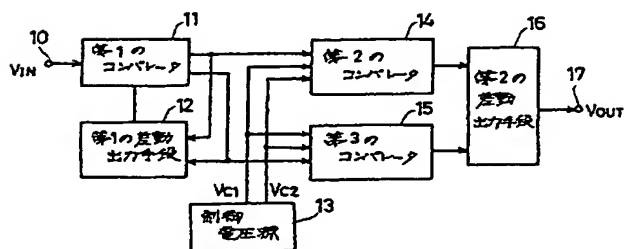
13は制御電圧源、

14は第2のコンパレータ、

15は第3のコンパレータ、

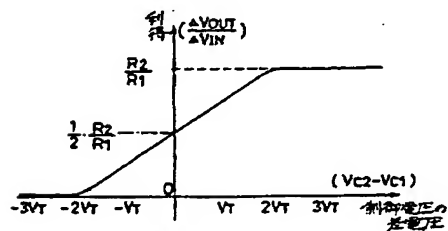
16は第2の差動出力手段、

17は出力端子を示す。



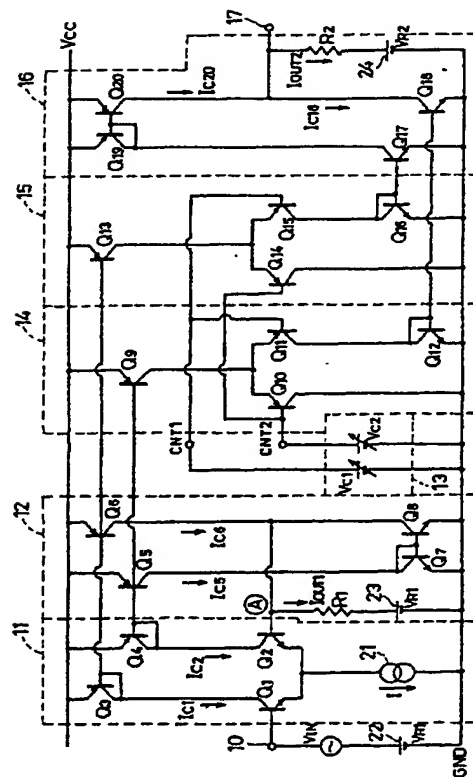
本発明の原理構成図

第1図



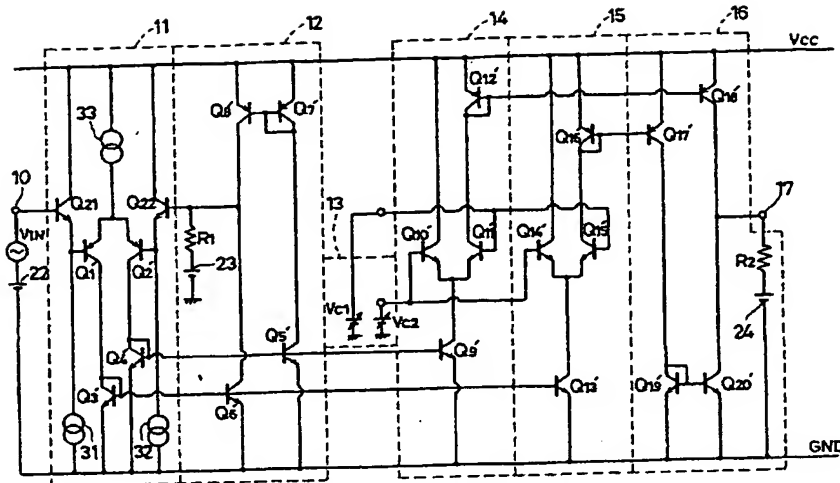
第2図の特性図

第3図



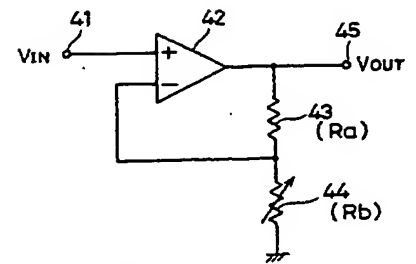
本発明の第1実施例の回路図

第2図



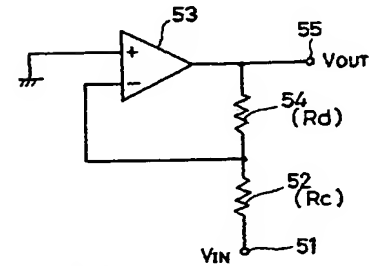
本発明の第2実施例の回路図

第 4 図



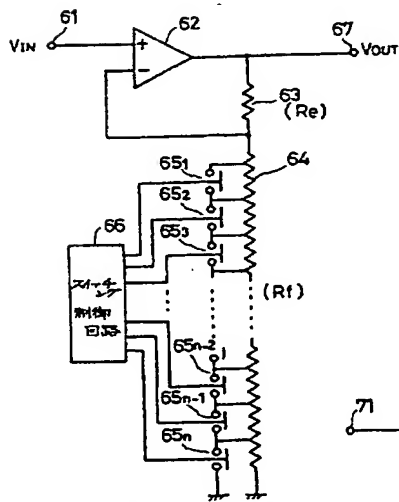
従来の一創の回路図

第 5 図



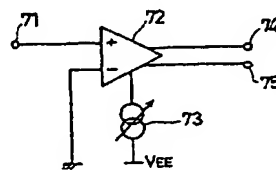
第5図の変形例の回路図

第 6 図



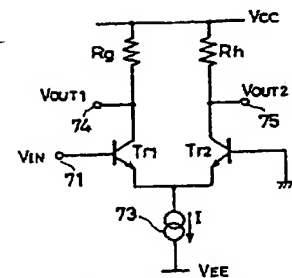
従来の世の例の回路図

第 7 圖



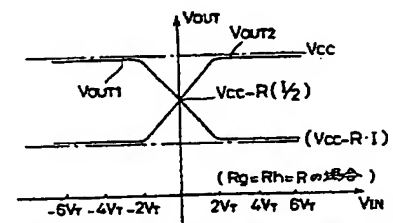
従来の更に他の例の回路図

第 8 圖



第8図の具体的回路図

第 9 圖



第9図の入力電圧対出力電圧特性図

第 10 圖

THIS PAGE BLANK (USPTO)